

Docket No.: 61352-048

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of : Customer Number: 20277
Ken IDOTA, et al. : Confirmation Number:
Serial No.: : Group Art Unit:
Filed: October 29, 2003 : Examiner:
For: SEMICONDUCTOR DEVICE AND FABRICATION METHOD THEREOF

CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT

Mail Stop CPD
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

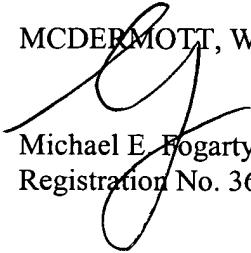
In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

Japanese Patent Application No. 2001-283272, filed September 18, 2001

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Michael E. Fogarty
Registration No. 36,139

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 MEF:mcw
Facsimile: (202) 756-8087
Date: October 29, 2003
WDC99 833841-1.061352.0048

日本国特許庁

JAPAN PATENT OFFICE

61352-048

DOTA et al.
October 28, 2003
29,
McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office

出願年月日

Date of Application:

2001年 9月18日

出願番号

Application Number:

特願2001-283272

[ST.10/C]:

[JP2001-283272]

出願人

Applicant(s):

松下電器産業株式会社

2003年 3月25日

特許庁長官
Commissioner,
Japan Patent Office

太田 信一郎

出証番号 出証特2003-3020289

【書類名】 特許願
 【整理番号】 2030230063
 【提出日】 平成13年 9月18日
 【あて先】 特許庁長官殿
 【国際特許分類】 H01L 27/321
 H01L 21/203

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式
会社内

【氏名】 井戸田 健

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式
会社内

【氏名】 大西 照人

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式
会社内

【氏名】 浅井 明

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100097445

【弁理士】

【氏名又は名称】 岩橋 文雄

【選任した代理人】

【識別番号】 100103355

【弁理士】

【氏名又は名称】 坂口 智康

【選任した代理人】

【識別番号】 100109667

【弁理士】

【氏名又は名称】 内藤 浩樹

【手数料の表示】

【予納台帳番号】 011305

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9809938

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項1】 半導体基板の活性領域に設けられ、エミッタ層、ベース層及びコレクタ層を有するバイポーラトランジスタとして機能する半導体装置の製造方法であって、

前記半導体基板の一部に、活性領域を囲む素子分離領域を形成する工程（a）と、

前記工程（a）の前又は後で、前記半導体基板内の前記素子分離領域に挟まれる領域に第1導電型のコレクタ層を形成する工程（b）と、

前記工程（a）及び（b）の後で、前記半導体基板の上に第1の絶縁層と還元性膜とを堆積した後、前記第1の絶縁層にコレクタ開口部を形成する工程（c）と、

前記コレクタ開口部における前記半導体基板の上に、少なくとも内部ベースと該内部ベースを囲む外部ベースとを構成するための第2導電型の半導体層をエピタキシャル成長させる工程（d）と、

基板上に第2の絶縁層と第1の導体膜を形成した後、マスク部材を用いたエッチングにより、第1の導体膜のうち、前記半導体層の中央部の上方に位置する部分を残し前記半導体層の端部の上方に位置する部分から前記素子分離領域の内側端部の上方に位置する部分に至る領域を除去し、続いて前記エッチング後の第1の導体膜をマスクとして前記第2の絶縁層をエッチングしてベース接合用開口部を形成する工程（e）と、

基板上に第2の導体層及び第3の絶縁層を積層した後、前記第1の導体層、第2の導体層、及び第3の絶縁層に、前記第2の絶縁層の内部ベース上方に残存する部分に到達するベース開口部を形成する工程（f）と、

前記第1の導体膜と第2の導体膜との前記ベース開口部に露出している側面を覆う第4の絶縁層を形成する工程（g）と、

エッチングにより、前記第2の絶縁層の前記半導体層の内部ベース上方に残存する部分のうち前記ベース開口部に露出している部分を除去して、前記ベース開

口部の底部に前記半導体層の一部を露出させる工程（h）と、

前記工程（h）の後で、前記ベース開口部を埋める第3の導体層を形成する工程（i）と、

前記工程（i）の後で、エッティングにより、前記第2の導体層及び第3の絶縁層の端部を除去して、前記半導体基板のうちコレクタ引き出し層となる部分を露出させる工程（j）と

を含むことを特徴とする半導体装置の製造方法。

【請求項2】 請求項1記載の半導体装置の製造方法において、

前記工程（e）の後、前記マスク部材をマスクに用いたイオン注入により、前記半導体基板内の前記ベース接合用開口部の下方に位置する領域に第2導電型不純物を導入してリーク接合防止層を形成する工程（f）

をさらに含むことを特徴とする半導体装置の製造方法。

【請求項3】 請求項1又は2記載の半導体装置の製造方法において、

工程（d）では、 $S_{11-x}Ge_x$ ($0 \leq x \leq 1$)， $S_{11-x-y}Ge_xCy$ ($0 \leq x+y \leq 1$) 及び $S_{11-y}Cy$ ($0 \leq y \leq 1$) のうち少なくともいずれか1つを含むように前記半導体層を形成することを特徴とする半導体装置の製造方法。

【請求項4】 請求項1又は2記載の半導体装置の製造方法において、

前記工程（c）では、前記還元性膜を、ポリシリコン、アモルファスシリコン及び窒化シリコンから選ばれるいずれか1つの材料を含むように形成することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置及びその製造方法に関し、特にヘテロバイポーラトランジスタの製造方法に関するものである。

【0002】

【従来の技術】

近年、高周波特性向上を目的として、シリコン基板上に形成されるバイポーラトランジスタに $Si/SiGe$ のヘテロ接合構造を含ませたヘテロバイポーラト

ランジスタ（HBT）の開発が急ピッチで進められている。

【0003】

このHBTは、Si基板、SiGe層という汎用のシリコンプロセスと親和性のよい材料で構成されるので、高集積度や低コストという大きな利点を有する。また、HBTとMOSトランジスタ（MOSFET）とを共通のSi基板上に形成して集積化することにより、高性能なBiCMOSデバイスを構成することができ、このBiCMOSデバイスは通信関係に利用可能なシステムLSIとして有望である。

【0004】

そのために、Si/Si_{1-x}Ge_x型HBTについての提案が多く行なわれている。

【0005】

従来のSi/Si_{1-x}Ge_x型HBTの一例として、特開2000-332025号公報に記載されたものが知られている。

【0006】

図5～図8は、従来のSi/Si_{1-x}Ge_x型HBTの構造を示す断面図である。

【0007】

図5～図8に示すように、(001)面を主面とするSi基板500の上部は、エピタキシャル成長法、イオン注入法などによって導入されたリンなどのN型不純物を含む深さ1μmのレトログレードウェル501となっている。Si基板100の表面付近の領域におけるN型不純物濃度は、 1×10^{17} atoms·cm⁻³程度に調整されている。また、素子分離として、酸化シリコンが埋め込まれたシリコントレンチ503と、アンドープポリシリコン膜505及びこれを取り囲むシリコントレンチ504により構成されるディープトレンチ504とが設けられている。各トレンチ503、504の深さは、それぞれ0.35μm、2μm程度である。

【0008】

Si基板500内におけるトレンチ503によって挟まれる領域にコレクタ層

502が設けられており、シャロートレンチ503によりコレクタ層502と分離された領域には、レトログレードウェル501を介してコレクタ層502の電極とコンタクトするためのN⁺コレクタ引き出し層507が設けられている。

【0009】

また、Si基板500の上には、コレクタ開口部510を有する厚さ約30nmの第1の堆積酸化膜508が設けられていて、第1の堆積酸化膜508の上にポリシリコン層509が設けられている。Si基板500の上面のうちコレクタ開口部510に露出する部分の上には、P型不純物がドープされた厚さ約60nmのSi_{1-x}Ge_x層と厚さ約10nmのSi膜とが積層されてなるSi/Si_{1-x}Ge_x層511が設けられている。そして、Si/Si_{1-x}Ge_x層511は、Si基板500のコレクタ開口部510に露出している表面全体からポリシリコン層509の上にまで延びている。

【0010】

Si_{1-x}Ge_x層511のうち中央部の下部が内部ベース519として機能し、また、Si/Si_{1-x}Ge_x層511の中央部の上部がエミッタ層として機能している。

【0011】

Si/Si_{1-x}Ge_x層511のうちSi_{1-x}Ge_x層の大部分は、ボロン(B)などのP型不純物によって 2×10^{18} atoms · cm⁻³程度にドーピングされており、Si層はN⁺ポリシリコン層529からのリン(P)等のN型不純物の拡散によって、基板の深さ方向に向かって 1×10^{20} atoms · cm⁻³から 1×10^{17} atoms · cm⁻³程度までの分布をもってドーピングされている。

【0012】

ここで、コレクタ開口部510の端よりもシャロートレンチ503の端が内側になるように配置されている。これにより、シャロートレンチ503が内側に配置されるので、HBTの総面積を低減することができる。一方、活性領域・分離接合部RaがHBTのキャリア移動領域に入り込むことによりストレスによる欠陥発生などの影響が懸念されるが、これを回避するために、コレクタ開口部510に対して自己整合的にP型の不純物をイオン注入してなるP型の接合リーク防

止層513を活性領域・分離接合部Raの付近に設けている。このP型接合リーグ防止層513における基板表面付近の不純物濃度は、 3×10^{17} atoms · cm⁻³程度が好ましい。

【0013】

Si/Si_{1-x}Ge_x層511の上には、厚さ約30nmのエッチストップ用の第2の堆積酸化膜512が設けられていて、第2の堆積酸化膜512には、ベース接合用開口部514及びベース開口部518が形成されている。ベース開口部518周辺の第2の堆積酸化膜512の外側の幅Aは、図10に示されるとおりである。

【0014】

ベース接合用開口部514を埋めて第2の堆積酸化膜512の上に延びる厚さ約150nmのP⁺ポリシリコン層515と第3の堆積酸化膜517とが設けられている。前記Si/Si_{1-x}Ge_x層511のうちベース開口部518の下方領域を除く部分とP⁺ポリシリコン層515とによって外部ベース516が構成されている。

【0015】

P⁺ポリシリコン層515及び第3の堆積酸化膜517のうち、第2の堆積酸化膜512のベース開口部518の上方に位置する部分は開口されていて、P⁺ポリシリコン層515の側面には厚さ約30nmの第4の堆積酸化膜520が形成されており、さらに、第4の堆積酸化膜520の上に厚さ約100nmのポリシリコンからなるサイドウォール521が設けられている。そして、ベース開口部518を埋めて第3の堆積酸化膜517の上に延びるN⁺ポリシリコン層529が設けられており、このN⁺ポリシリコン層529はエミッタ引き出し電極として機能する。前記第4の堆積酸化膜520によって、P⁺ポリシリコン層515とN⁺ポリシリコン層529とが電気的に絶縁されるとともに、P⁺ポリシリコン層515からN⁺ポリシリコン層529への不純物の拡散が阻止されている。また、第3の堆積酸化膜517によって、P⁺ポリシリコン層515の上面とN⁺ポリシリコン層529とが絶縁されている。さらに、N⁺ポリシリコン層529とP⁺ポリシリコン層515の外側面はサイドウォール523により覆われ

ている。

【0016】

さらに、コレクタ引き出し層507、 P^+ ポリシリコン層515及び N^+ ポリシリコン層529の表面には、それぞれTiシリサイド層524が形成されている。

【0017】

また、基板全体は層間絶縁膜525によって覆われており、層間絶縁膜525を貫通して N^+ コレクタ引き出し層507、外部ベースの一部である P^+ ポリシリコン層515及びエミッタ引き出し電極である N^+ ポリシリコン層529上のTiシリサイド層524に到達する接続孔がそれぞれ形成されている。そして、この各接続孔を埋めるWプラグ526と、各Wプラグ526に接続されて、層間絶縁膜525の上に延びる金属配線527とが設けられている。

【0018】

次に、図5～図8を参照しながら製造方法を説明する。

【0019】

まず、図5(a)に示す工程で、(001)面を主面とするSi基板500の上部に、N型不純物をドープしながらSi単結晶層をエピタキシャル成長させる、あるいは、エピタキシャル成長後に高エネルギーのイオン注入を行なうことにより、深さ約 $1\ \mu m$ のN型のレトログレードウェル501を形成する。ただし、エピタキシャル成長を行なわずにSi基板500の一部にイオン注入を行なうことによりレトログレードウェル501を形成することも可能である。このとき、HBT形成におけるSi基板500の表面付近の領域は、HBTのコレクタ層となるためにN型の不純物濃度を $1 \times 10^{17} \text{ atoms} \cdot \text{cm}^{-3}$ 程度に調整しておく。

【0020】

次に、素子分離として、酸化シリコンが埋め込まれたシャロートレンチ503と、アンドープポリシリコン膜505及びこれを取り囲むシリコン酸化膜506により構成されるディープトレンチ504とを形成する。各トレンチ503、504の深さは、それぞれ $0.35\ \mu m$ 、 $2\ \mu m$ 程度としておく。Si基板500内におけるシャロートレンチ503同士によって挟まれる領域がコレクタ層50

2となる。また、Si基板500内のコレクタ層502とはシャロートレンチ503により分離された領域に、コレクタ電極とコンタクトするためのN+コレクタ引き出し層507を形成する。

【0021】

次に、図5（b）に示す工程で、テトラエトキシシラン（TEOS）と酸素を用いた化学気相成長法（CVD）を処理温度680℃で行なって、ウェハ上に厚さが約30nmの第1の堆積酸化膜508を形成した後、厚さが約50nmのポリシリコン層509とを順次形成する。その後、ドライエッチング等により、ポリシリコン層509をパターニングした後、フッ酸等のウェットエッチングにより第1の堆積酸化膜508を除去し、コレクタ開口部510を形成する。

【0022】

次に、図5（c）に示す工程で、ウェハをUHV-CVD（Ultrahigh Vacuum Chemical Vapor Deposition）法を用いて、Si基板500のコレクタ開口部510に露出している表面からポリシリコン層509に亘って、厚さ約60nmのSi_{1-x}Ge_x層をエピタキシャル成長させる。そして、Si_{1-x}Ge_x層を形成した後、Si_{1-x}Ge_x層の上に厚さ約10nmのSi層をエピタキシャル成長させる。このSi_{1-x}Ge_x層とSi層により、Si/Si_{1-x}Ge_x層511が形成される。ここで、Si_{1-x}Ge_x層は、ボロン（B）が導入されてP型になっており、ボロンの濃度は 2×10^{18} atoms・cm⁻³である。このとき、Si層には不純物を導入しないでおく。

【0023】

Si_{1-x}Ge_x層の上において、コレクタ開口部510には単結晶のSi層が形成され、ポリシリコン層509の上方には多結晶のSi層が形成される。

【0024】

次に、図6（d）に示す工程で、ウェハ上に、エッチストップとなる膜厚30nmの第2の堆積酸化膜512を形成した後、第2の堆積酸化膜512の上に設けたレジストマスクRe2を用いて、第2の堆積酸化膜512をウェットエッチングによりパターニングして、ベース接合用開口部514を形成する。次に、活性領域・分離接合部Raiにおけるストレスの影響を抑えるために、ベース接合用開

口部514の形成に用いたレジストマスクRe2を用いて、ボロン（B）などのP型の不純物のイオン注入を行い、表面付近の濃度が 3×10^{17} atoms · cm⁻³程度の接合リーク防止層513を形成する。

【0025】

次に、6（e）に示す工程で、CVDにより、ウエハ上に 1×10^{20} atoms · cm⁻³以上の高濃度にドープされた厚さ約150nmのP⁺ポリシリコン層515を堆積し、続いて、厚さ約100nmの第3の堆積酸化膜517を堆積する。

【0026】

次に、ドライエッティングにより、第3の堆積酸化膜517とP⁺ポリシリコン層515とをパターニングして、第3の堆積酸化膜517とP⁺ポリシリコン層515との中央部に第2の堆積酸化膜512に達するベース開口部518を形成する。このベース開口部518は第2の堆積酸化膜512の中央部よりも小さく、ベース開口部518がベース接合用開口部514に跨ることはない。この工程により、P⁺ポリシリコン層515とSi/Si_{1-x}Ge層511の中央部を除く部分とによって構成される外部ベース516が形成される。

【0027】

図6（f）に示す工程で、CVDにより、ウエハの全面上に厚さ約30nmの第4の堆積酸化膜520と厚さ約150nmのポリシリコン膜とを堆積する。そして、異方性ドライエッティングにより、ポリシリコン膜をエッチバックして、P⁺ポリシリコン層515及び第3の堆積酸化膜517の側面上に第4の堆積酸化膜520を挟んでポリシリコンからなるサイドウォール521を形成する。次に、フッ酸等によるウエットエッティングを行い、第2の堆積酸化膜512及び第4の堆積酸化膜520のうち露出している部分を除去する。このとき、ベース開口部518においては、Si/Si_{1-x}Ge層511の上部のSi層が露出する。また、ウエットエッティングは等方性であることから第2の堆積酸化膜512及び第4の堆積酸化膜520が横方向にもエッティングされ、ベース開口部518の寸法が拡大する。つまり、このときのウエットエッティングの量によってベース開口幅W1が決まる。

【0028】

次に、図7 (g) に示す工程で、ウエハ上に、厚さが約250nmのN⁺ポリシリコン層529を堆積した後、ドライエッチングによってN⁺ポリシリコン層529及び第3の堆積酸化膜517をパターニングすることにより、エミッタ引き出し電極をする。

【0029】

次に、図7 (h) に示す工程で、ドライエッチングにより、P⁺ポリシリコン層515、第2の堆積酸化膜512、Si/Si_{1-x}Ge_x層511及びポリシリコン層509をパターニングして、外部ベース516の形状を決定する。

【0030】

次に、図7 (i) に示す工程で、ウエハ上に厚さが約120nmの堆積酸化膜を形成した後、ドライエッチングを行なって、N⁺ポリシリコン層529とP⁺ポリシリコン層515の側面にサイドウォール523を形成する。

【0031】

このときのドライエッチング（オーバーエッチング）によって、第1の堆積酸化膜508の露出している部分を除去して、N⁺ポリシリコン層529、P⁺ポリシリコン層515及びN⁺コレクタ引き出し層507の表面とを露出させる。

【0032】

さらに、以下の処理を行なう。まず、スパッタリングによって、ウエハの全面上に厚さが約40nmのTi膜を堆積した後、675°C、30secのRTA（短時間アニール）を行なうことにより、N⁺ポリシリコン層529、P⁺ポリシリコン層515及びN⁺コレクタ引き出し層507の露出している表面とにTiシリサイド層524を形成する。その後、Ti膜の未反応部分のみを選択的に除去した後、Tiシリサイド層524の結晶構造を変化させるためのアニールを行なう。

【0033】

次に、ウエハの全面上に層間絶縁膜525を形成し、層間絶縁膜525を貫通してN⁺ポリシリコン層529、P⁺ポリシリコン層515及びN⁺コレクタ引き出し層507との上の各Tiシリサイド層524に到達する接続孔を形成する。そして、各接続孔内にW膜を埋め込んでWプラグ526を形成した後、ウエハ

の全面上にアルミニウム合金膜を堆積した後、これをパターニングして、各Wプラグ526に接続され、層間絶縁膜525の上に延びる金属配線527を形成する。

【0034】

以上の工程により、図8に示す構造を有するHBT、つまり、N型Siからなるコレクタ、P⁺型Si_{1-x}Ge層511からなるベース及びN⁺型Siからなるエミッタを備えたHBTが形成される。なお、HBTのSi/Si_{1-x}Ge層511のうちSi層には、N⁺ポリシリコン層529から高濃度のN型不純物（リンなど）が拡散して、N⁺型Si層になっている。

【0035】

上述した従来のSi/Si_{1-x}Ge型HBTでは、作製工程の図6(d)に示すベース接合用開口部形成において、第2の堆積酸化膜512をウエットエッティングによりパターンニングする際、ウエットエッティングは等方性であることから第2の堆積酸化膜512は横方向にもエッティングされ、ベース開口部518周辺の第2の堆積酸化膜512の外側の幅Aの寸法は縮小する。また、レジストRe2と第2の堆積酸化膜512との界面よりエッティング液が浸入しするため、第2の堆積酸化膜512の膜厚は減少する。同時に、このエッティング液の浸入は、上述の横方向のエッティングを加速する。そして、第2の堆積酸化膜512の膜厚が減少し過ぎると、ベース開口部518形成時のエッチストップとしての効果がなくなる。

【0036】

【発明が解決しようとする課題】

Si/Si_{1-x}Ge型HBTにおいて、近年、微細化が要求されつつある。微細化が進むと、上述した第2の堆積酸化膜512の横方向へのエッティングを小さく抑える必要がある。

【0037】

しかしながら、前記従来技術では、堆積酸化膜512の横方向へのエッティングと膜厚の減少により、微細化に限界を生ずるという不都合があった。

【0038】

すなわち、堆積酸化膜512に微細な加工を制御性よく施すには、堆積酸化膜512の横方向へのエッティング量を抑えるために、堆積酸化膜512をさらに薄くする必要がある。堆積酸化膜512が薄いほど、堆積酸化膜512の横方向へのエッティング量は、小さくなるが、従来技術では、ウエットエッティングによるベース接合用開口部形成後に、堆積酸化膜512がさらに薄くなり、エッチストップとしての効果がなくなる。

【0039】

また、第2の堆積酸化膜512が厚いと、幅Aの寸法縮小が大きく、幅Aを小さくすることに限界がある。

【0040】

本発明は、微細なHBTとして機能する半導体装置の作製方法を提供することを目的とする。

【0041】

【課題が解決するための手段】

この課題を解決するために本発明は、ポリシリコン膜またはアモルファスシリコンをマスク部材にして堆積酸化膜をエッティングするように構成したものである。

【0042】

これにより、堆積酸化膜に制御性良く微細なパターンを形成することができる半導体装置の製造方法が得られる。

【0043】

本発明の半導体装置の製造方法は、半導体基板の活性領域に設けられ、エミッタ層、ベース層及びコレクタ層を有するバイポーラトランジスタとして機能する半導体装置の製造方法であって、前記半導体基板の一部に、活性領域を囲む素子分離領域を形成する工程(a)と、前記工程(a)の前又は後で、前記半導体基板内の前記素子分離領域に挟まれる領域に第1導電型のコレクタ層を形成する工程(b)と、前記工程(a)及び(b)の後で、前記半導体基板の上に第1の絶縁層を還元性膜とを堆積した後、前記第1の絶縁層にコレクタ開口部を形成する工程(c)と、前記コレクタ開口部における前記半導体基板の上に、少なくとも

内部ベースと該内部ベースを囲む外部ベースとを構成するための第2導電型の半導体層をエピタキシャル成長させる工程（d）とを含んでいる。

【0044】

前記工程（b）では、前記還元性膜を、ポリシリコン、アモルファスシリコン及び窒化シリコンから選ばれるいずれか1つの材料を含むように形成することが好ましい。

【0045】

また、前記工程（d）では、 $\text{Si}_{1-x}\text{Ge}_x$ ($0 \leq x \leq 1$)、 $\text{Si}_{1-x-y}\text{Ge}_x\text{Cy}$ ($0 \leq x+y \leq 1$) 及び Si_{1-y}Cy ($0 \leq y \leq 1$) のうちいずれか1つと Si 層とを順次積層するように前記半導体層を形成する。

【0046】

前記工程（d）の後、基板上に第2の絶縁層と第1の導体膜を形成した後、マスク部材を用いたエッティングにより、第1の導体膜のうち、前記半導体層の中央部の上方に位置する部分を残し前記半導体層の端部の上方に位置する部分から前記素子分離領域の内側端部の上方に位置する部分に至る領域を除去し、続いて前記エッティング後の第1の導体膜をマスクとして該第2の絶縁層をエッティングしてベース接合用開口部を形成する工程（e）とをさらに含むことにより、加工精度のよい微細なパターンニングを第2の絶縁層に施すことができ、微細構造の半導体装置を形成することができる。

【0047】

前記工程（e）の後、基板上に第2の導体層及び第3の絶縁層を積層した後、前記第1の導体層、第2の導体層、及び第3の絶縁層に、前記第2の絶縁層の内部ベース上方に残存する部分に到達するベース開口部を形成する工程（f）と、前記第1の導体膜と第2の導体層との前記ベース開口部に露出している側面を覆う第4の絶縁層を形成する工程（g）と、エッティングにより、前記第2の絶縁層の前記半導体層の内部ベース上方に残存する部分のうち前記ベース開口部に露出している部分を除去して、前記ベース開口部の底部に前記半導体層の一部を露出させる工程（h）と、前記工程（h）の後で、前記ベース開口部を埋める第3の導体層を形成する工程（i）と、前記工程（i）の後で、エッティングにより、前

記第2の導体層及び第3の絶縁層の端部を除去して、前記半導体基板のうちコレクタ引き出し層となる部分を露出させる工程（j）とをさらに含む。

【0048】

以上のように工程（e）において、第1の導体膜と第2の絶縁層との密着力は大きいので、第1の導体膜をマスクとして該第2の絶縁層をエッティングする際に、第1の導体膜と第2の絶縁層との界面からエッティング液から浸入することはなく、横方向のエッティング量を抑えることができる。この作用によって、第2の絶縁層を制御性良く微細にパターンニングすることができ、微細なHBTとして機能する半導体装置の作製することができる。

【0049】

【発明の実施の形態】

以下、本発明の実施の形態について図1～図4を用いて説明する。

【0050】

(実施の形態1)

図1～図4は、本発明の実施の形態であるSiGe-HBTの製造方法を示す断面図である。

【0051】

まず、図1（a）に示す工程で、（001）面を主面とするSi基板100の上部に、N型不純物をドープしながらSi単結晶層をエピタキシャル成長させる、あるいは、エピタキシャル成長後に高エネルギーのイオン注入を行なうことにより、深さ約 $1\text{ }\mu\text{m}$ のN型のレトログレードウェル101を形成する。ただし、エピタキシャル成長を行なわずにSi基板100の一部にイオン注入を行なうことによりレトログレードウェル101を形成することも可能である。このとき、HBT形成におけるSi基板100の表面付近の領域は、HBTのコレクタ層となるためにN型の不純物濃度を $1\times 10^{17}\text{ atoms}\cdot\text{cm}^{-3}$ 程度に調整しておく。

【0052】

次に、素子分離として、酸化シリコンが埋め込まれたシャロートレンチ103と、アンドープポリシリコン膜105及びこれを取り囲むシリコン酸化膜106により構成されるディープトレンチ104とを形成する。各トレンチ103, 1

04の深さは、それぞれ0.35μm, 2μm程度としておく。Si基板100内におけるシャロートレンチ103同士によって挟まれる領域がコレクタ層102となる。また、Si基板100内のコレクタ層102とはシャロートレンチ103により分離された領域に、コレクタ電極とコンタクトするためのN+コレクタ引き出し層107を形成する。

【0053】

次に、図1 (b) に示す工程で、テトラエトキシシラン (TEOS) と酸素を用いた化学気相成長法 (CVD) を処理温度680℃で行なって、ウェハ上に厚さが約30nmの第1の堆積酸化膜108を形成した後、厚さが約50nmのポリシリコン層109とを順次形成する。その後、ドライエッチング等により、ポリシリコン層109をパターニングした後、フッ酸等のウェットエッチングにより第1の堆積酸化膜108を除去し、コレクタ開口部110を形成する。

【0054】

次に、図1 (c) に示す工程で、ウェハをUHV-CVD (Ultrahigh Vacuum Chemical Vapor Deposition) 法を用いて、Si基板100のコレクタ開口部110に露出している表面からポリシリコン層109に亘って、厚さ約60nmのSi_{1-x}Ge_x層をエピタキシャル成長させる。そして、Si_{1-x}Ge_x層を形成した後、Si_{1-x}Ge_x層の上に厚さ約10nmのSi層をエピタキシャル成長させる。このSi_{1-x}Ge_x層とSi層により、Si/Si_{1-x}Ge_x層111が形成される。ここで、Si_{1-x}Ge_x層は、ボロン (B) が導入されてP型になっており、ボロンの濃度は 2×10^{18} atoms · cm⁻³である。このとき、Si層には不純物を導入しないでおく。

【0055】

Si_{1-x}Ge_x層の上において、コレクタ開口部110には単結晶のSi層が形成され、ポリシリコン層109の上方には多結晶のSi層が形成される。

【0056】

次に、図2 (d) に示す工程で、ウェハ上に、エッチストップとなる膜厚30nmの第2の堆積酸化膜112、及び、P⁺ポリシリコン層200を順次形成した後、ポリシリコン層200の上に設けたレジストマスクRe2を用いて、P⁺ポ

リシリコン層200をドライエッチングによりパターニングする。そして、パターンニングされたP⁺ポリシリコン層200をマスクにしてウェットエッチングにより第2の堆積酸化膜112をパターニングしてベース接合用開口部114を形成する。

【0057】

次に、活性領域・分離接合部Raiにおけるストレスの影響を抑えるために、ベース接合用開口部114の形成に用いたレジストマスクRe2を用いて、ボロン（B）などのP型の不純物のイオン注入を行い、表面付近の濃度が $3 \times 10^{17} \text{ atom s} \cdot \text{cm}^{-3}$ 程度の接合リーク防止層113を形成する。

【0058】

次に、図2（e）に示す工程で、CVDにより、ウエハ上に $1 \times 10^{20} \text{ atoms} \cdot \text{cm}^{-3}$ 以上の高濃度にドープされた厚さ約150nmのP⁺ポリシリコン層115を堆積し、続いて、厚さ約100nmの第3の堆積酸化膜117を堆積する。ここで、次に、ドライエッチングにより、第3の堆積酸化膜117、P⁺ポリシリコン層115及びP⁺ポリシリコン層200をパターニングして、第3の堆積酸化膜117、P⁺ポリシリコン層515及びP⁺ポリシリコン層200の中央部に第2の堆積酸化膜112に達するベース開口部118を形成する。このベース開口部118は第2の堆積酸化膜112の中央部よりも小さく、ベース開口部118がベース接合用開口部114に跨ることはない。この工程により、P⁺ポリシリコン層115とSi/Si_{1-x}Ge層111の中央部を除く部分によって構成される外部ベース116が形成される。

【0059】

図2（f）に示す工程で、CVDにより、ウエハの全面上に厚さ約30nmの第4の堆積酸化膜120と厚さ約150nmのポリシリコン膜とを堆積する。そして、異方性ドライエッチングにより、ポリシリコン膜をエッチバックして、P⁺ポリシリコン層115、P⁺ポリシリコン層200、及び第3の堆積酸化膜117の側面上に第4の堆積酸化膜120を挟んでポリシリコンからなるサイドウォール121を形成する。次に、フッ酸等によるウェットエッチングを行い、第2の堆積酸化膜112及び第4の堆積酸化膜120のうち露出している部分を除

去する。このとき、ベース開口部118においては、Si/Si_{1-x}Ge層111の上部のSi層が露出する。また、ウェットエッティングは等方性であることから第2の堆積酸化膜112及び第4の堆積酸化膜120が横方向にもエッティングされ、ベース開口部118の寸法が拡大する。

【0060】

次に、図3 (g) に示す工程で、ウエハ上に、厚さが約250nmのN⁺ポリシリコン層129を堆積した後、ドライエッティングによってN⁺ポリシリコン層129及び第3の堆積酸化膜117をパターニングすることにより、エミッタ引き出し電極をする。

【0061】

次に、図3 (h) に示す工程で、ドライエッティングにより、P⁺ポリシリコン層115、第2の堆積酸化膜112、Si/Si_{1-x}Ge層111及びポリシリコン層109をパターニングして、外部ベース116の形状を決定する。

【0062】

次に、図3 (i) に示す工程で、ウエハ上に厚さが約120nmの堆積酸化膜を形成した後、ドライエッティングを行なって、N⁺ポリシリコン層129とP⁺ポリシリコン層115の側面にサイドウォール123を形成する。

【0063】

このときのドライエッティング（オーバーエッティング）によって、第1の堆積酸化膜108の露出している部分を除去して、N⁺ポリシリコン層129、P⁺ポリシリコン層115及びN⁺コレクタ引き出し層107の表面とを露出させる。

【0064】

さらに、図4 (j) に示す構造を得るために、以下の処理を行なう。まず、スパッタリングによって、ウエハの全面上に厚さが約40nmのTi膜を堆積した後、675°C、30secのRTA（短時間アニール）を行なうことにより、N⁺ポリシリコン層129、P⁺ポリシリコン層115及びN⁺コレクタ引き出し層107の露出している表面とTiシリサイド層124を形成する。その後、Ti膜の未反応部分のみを選択的に除去した後、Tiシリサイド層124の結晶構造を変化させるためのアニールを行なう。

【0065】

次に、ウエハの全面上に層間絶縁膜125を形成し、層間絶縁膜125を貫通してN⁺ポリシリコン層129、P⁺ポリシリコン層115及びN⁺コレクタ引き出し層107との上の各Tiシリサイド層124に到達する接続孔を形成する。そして、各接続孔内にW膜を埋め込んでWプラグ126を形成した後、ウエハの全面上にアルミニウム合金膜を堆積した後、これをパターニングして、各Wプラグ126に接続され、層間絶縁膜125の上に延びる金属配線127を形成する。

【0066】

以上の工程により、図4に示す構造を有するHBT、つまり、N型Siからなるコレクタ、P⁺型Si_{1-x}Ge_x層111からなるベース及びN⁺型Siからなるエミッタを備えたHBTが形成される。なお、HBTのSi/Si_{1-x}Ge_x層111のうちSi層には、N⁺ポリシリコン層129から高濃度のN型不純物（リンなど）が拡散して、N⁺型Si層になっている。

【0067】

(実施の形態2)

前記実施形態におけるSi_{1-x}Ge_x層に代えて、Si_{1-x-y}Ge_xCy層(0≤x+y≤1)又はSi_{1-y}Cy層(0≤y≤1)などのSiを含むSiとは異なる材料の膜を用いることができる。また、Si_{1-x}Ge_x層、Si_{1-x-y}Ge_xCy層、Si_{1-y}Cy層などのうちの2つ以上を積層した膜を用いてもよい。

【0068】

前記の各種材料を用いることにより、半導体層にかかる歪を抑えることができ、作製される半導体装置の信頼性向上、リーク電流低減につながる。

【0069】

前記各実施形態におけるバイポーラトランジスタは、必ずしもヘテロバイポーラトランジスタに限定されるものではない。トランジスタ面積の低減、接合リークの低減は、ホモエピタキシャル成長膜であるSi層をベースとして利用したバイポーラにおいても課題となっているからである。

【0070】

【発明の効果】

以上のように本発明によれば、微細なHBTとして機能する半導体装置の作製することができる、という有利な効果が得られる。

【図面の簡単な説明】

【図1】

本発明の第1の実施形態の半導体装置の製造工程を示す断面図

【図2】

本発明の第1の実施形態の半導体装置の製造工程を示す断面図

【図3】

本発明の第1の実施形態の半導体装置の製造工程を示す断面図

【図4】

本発明の第1の実施形態の半導体装置の製造工程を示す断面図

【図5】

従来の半導体装置の製造工程を示す断面図

【図6】

従来の半導体装置の製造工程を示す断面図

【図7】

従来の半導体装置の製造工程を示す断面図

【図8】

従来の半導体装置の製造工程を示す断面図

【符号の説明】

100 (001) Si基板

101 レトログレードウェル

102 コレクタ層

103 シャロートレンチ

104 ディープトレンチ

105 アンドープポリシリコン膜

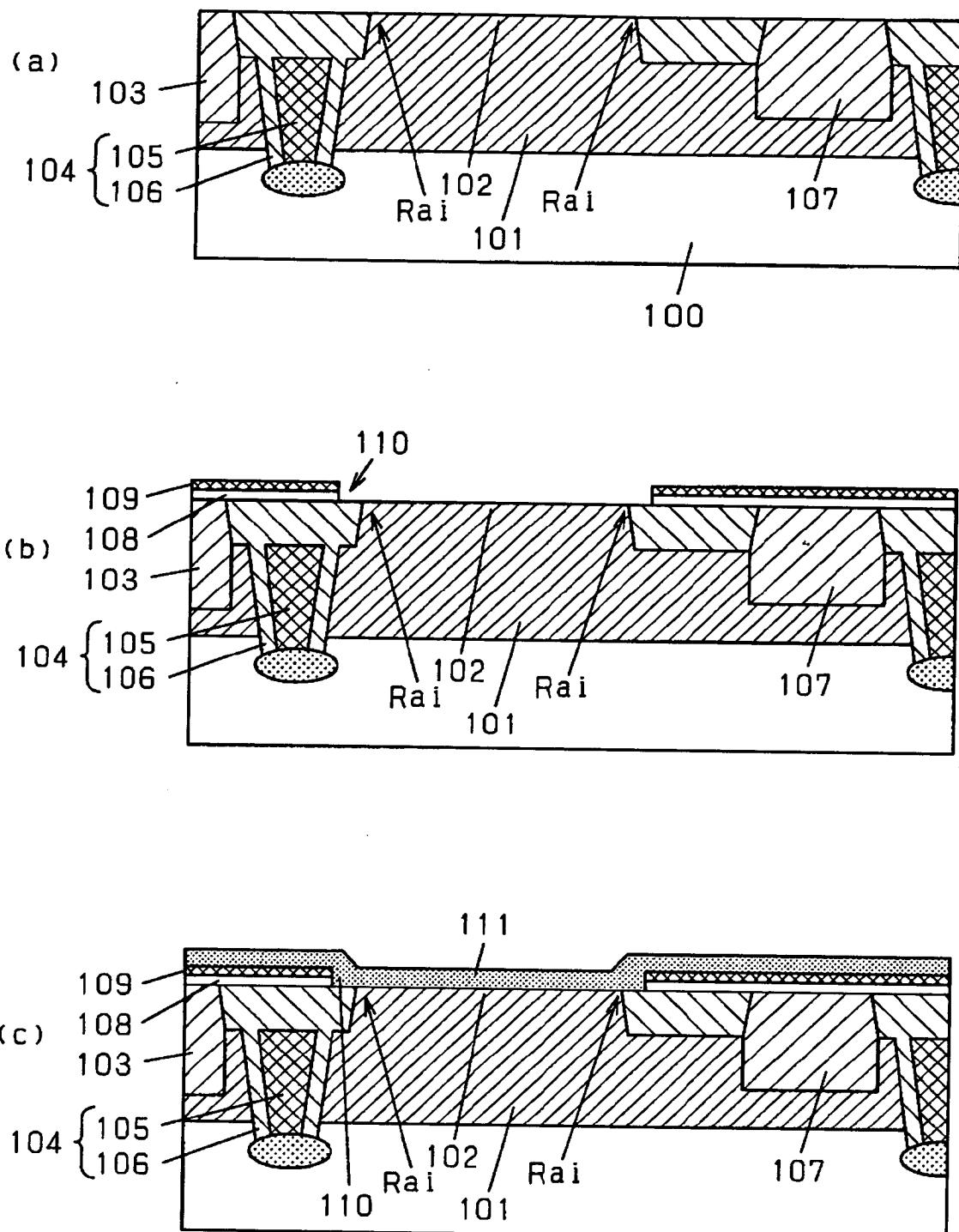
106 シリコン酸化膜

107 N^+ コレクタ引き出し層
 108 第1の堆積酸化膜
 110 コレクタ開口部
 111 Si / Si_{1-x}Ge_x層
 112 第2の堆積酸化膜
 113 接合リーク防止層
 114 ベース接合用開口部
 115 P^+ ポリシリコン層
 116 外部ベース
 117 第3の堆積酸化膜
 118 ベース開口部
 119 内部ベース
 120 第4の堆積酸化膜
 121 サイドウォール
 123 サイドウォール
 124 Tiシリサイド層
 125 層間絶縁層
 126 Wプラグ
 127 金属配線
 129 N^+ ポリシリコン層
 Rai 活性領域・分離接合部
 200 P^+ ポリシリコン層
 500 (001) Si基板
 501 レトログレードウェル
 502 コレクタ層
 503 シャロートレンチ
 504 ディープトレンチ
 505 アンドープポリシリコン膜
 506 シリコン酸化膜

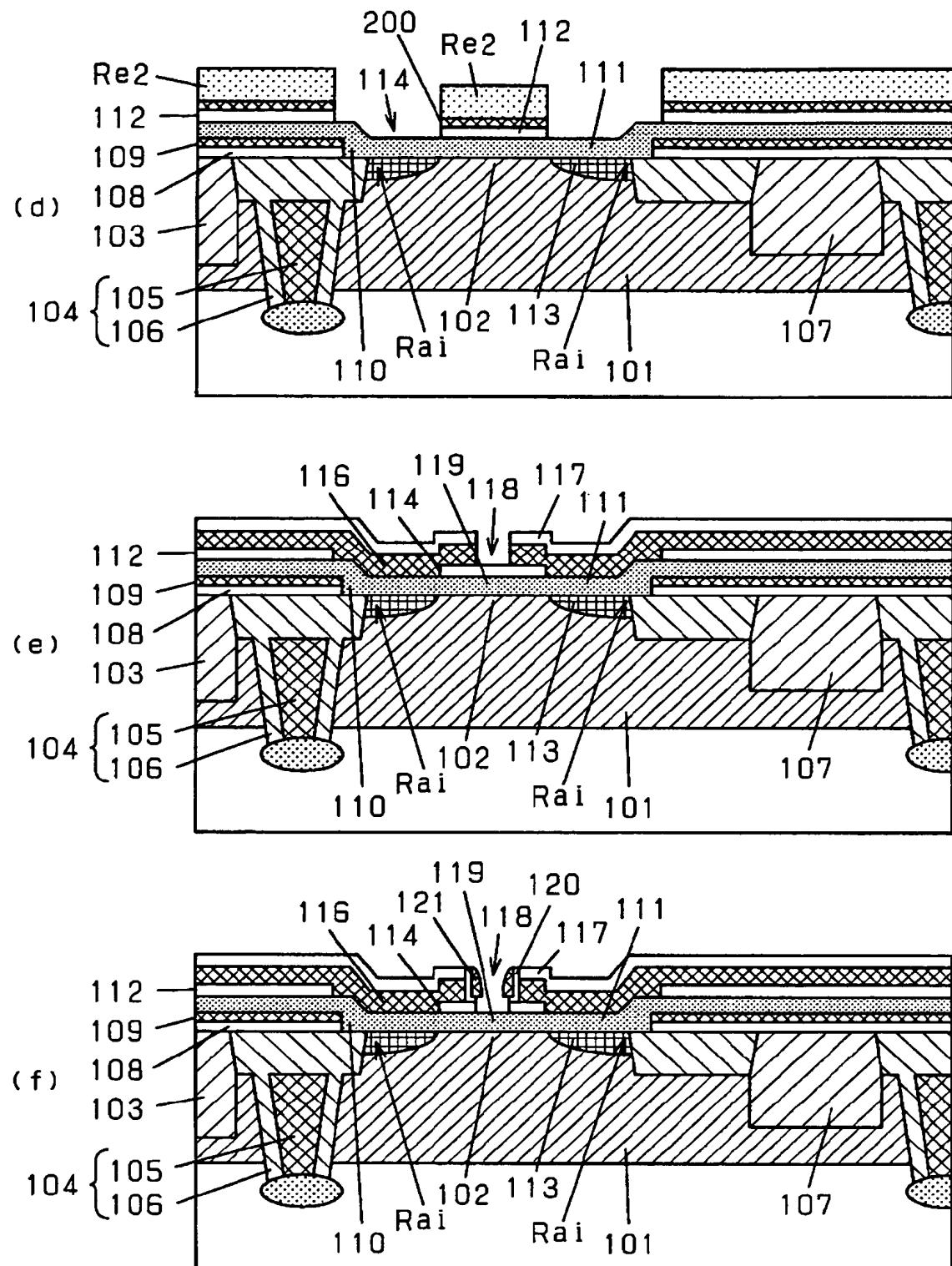
- 507 N⁺ コレクタ引き出し層
- 508 第1の堆積酸化膜
- 510 コレクタ開口部
- 511 Si / Si_{1-x}Ge_x層
- 512 第2の堆積酸化膜
- 513 接合リーク防止層
- 514 ベース接合用開口部
- 515 P⁺ ポリシリコン層
- 516 外部ベース
- 517 第3の堆積酸化膜
- 518 ベース開口部
- 519 内部ベース
- 520 第4の堆積酸化膜
- 521 サイドウォール
- 523 サイドウォール
- 524 Tiシリサイド層
- 525 層間絶縁層
- 526 Wプラグ
- 527 金属配線
- 529 N⁺ ポリシリコン層

【書類名】 図面

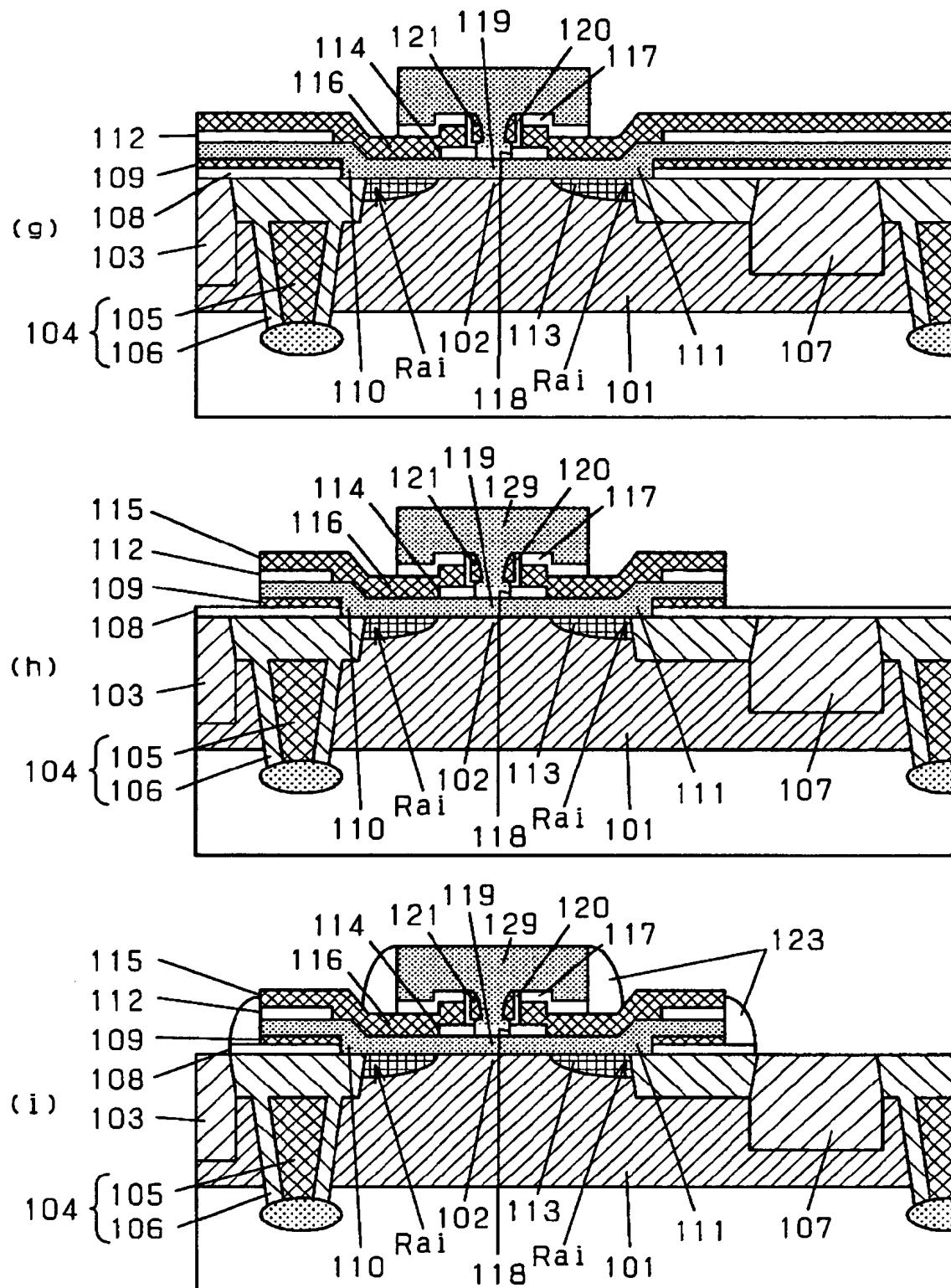
【図1】



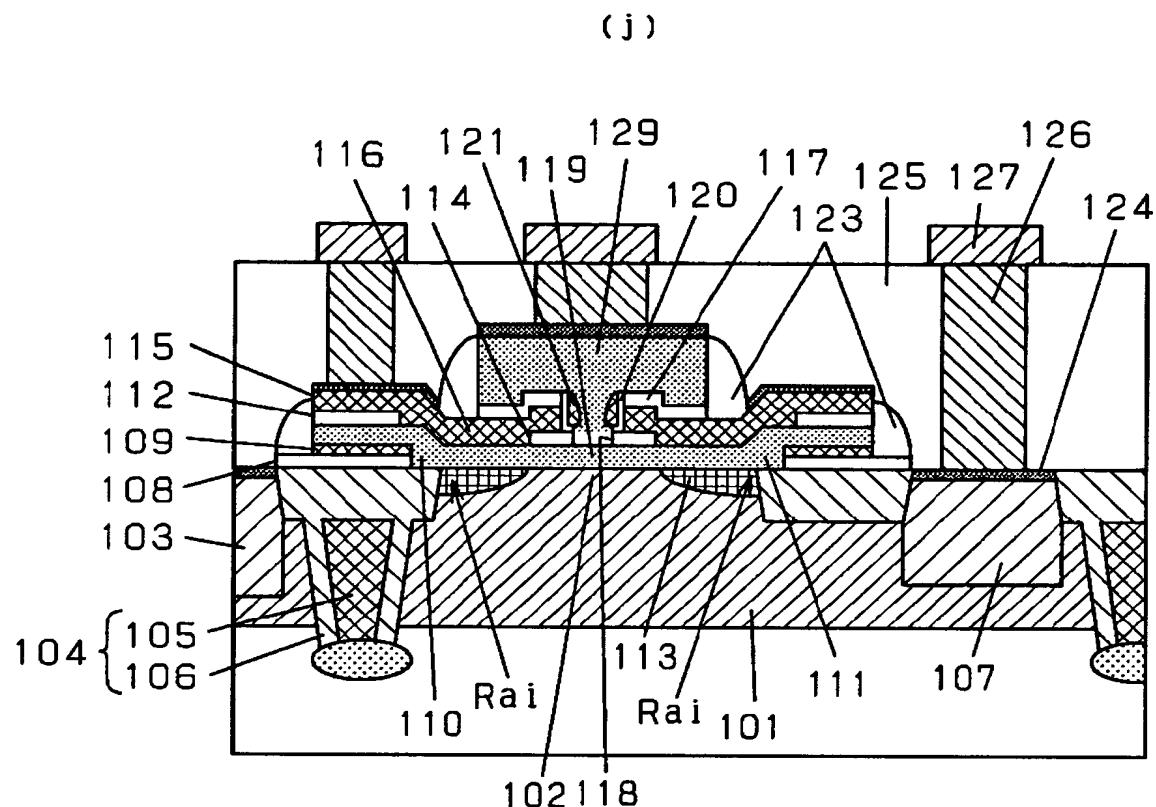
【図2】



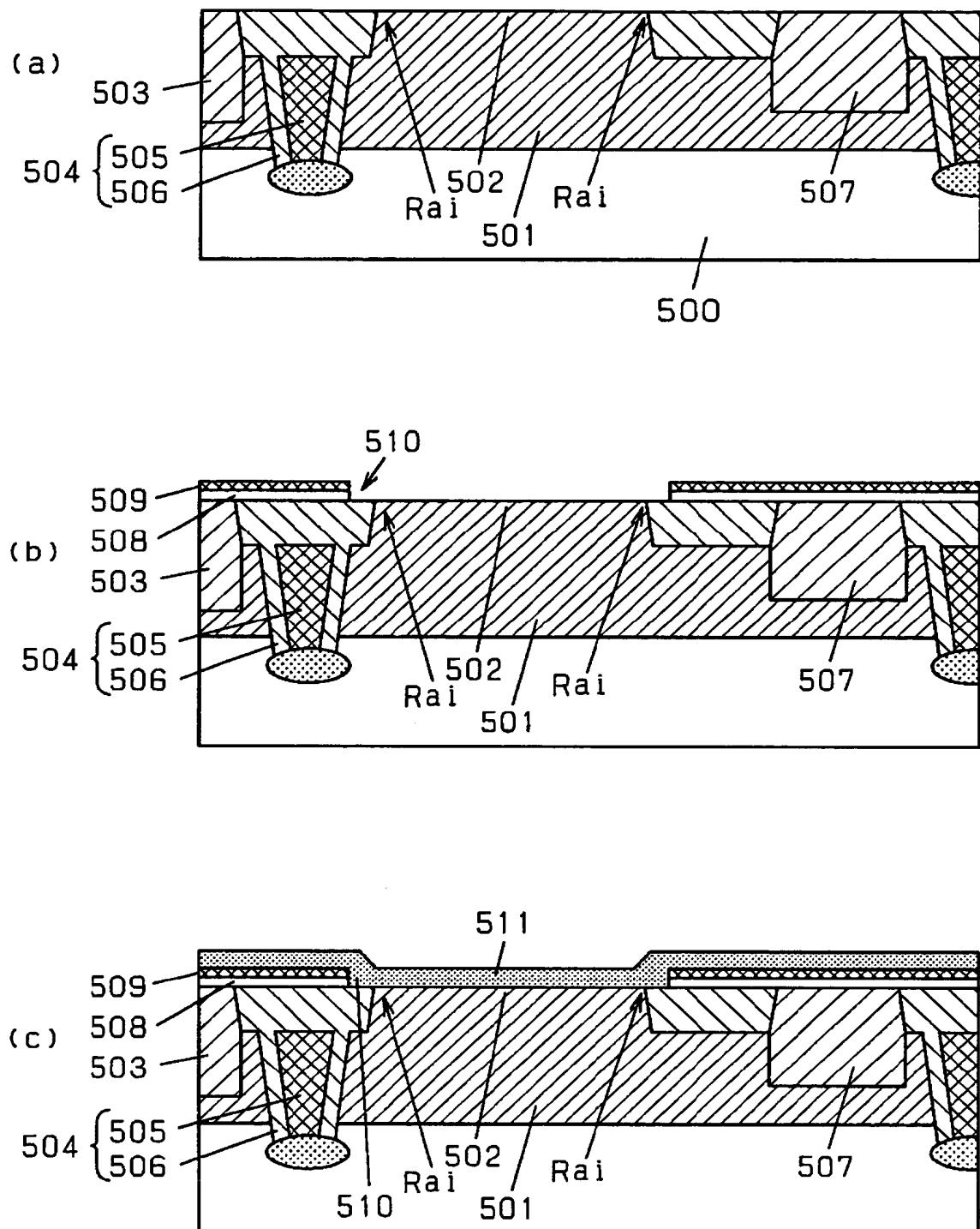
【図3】



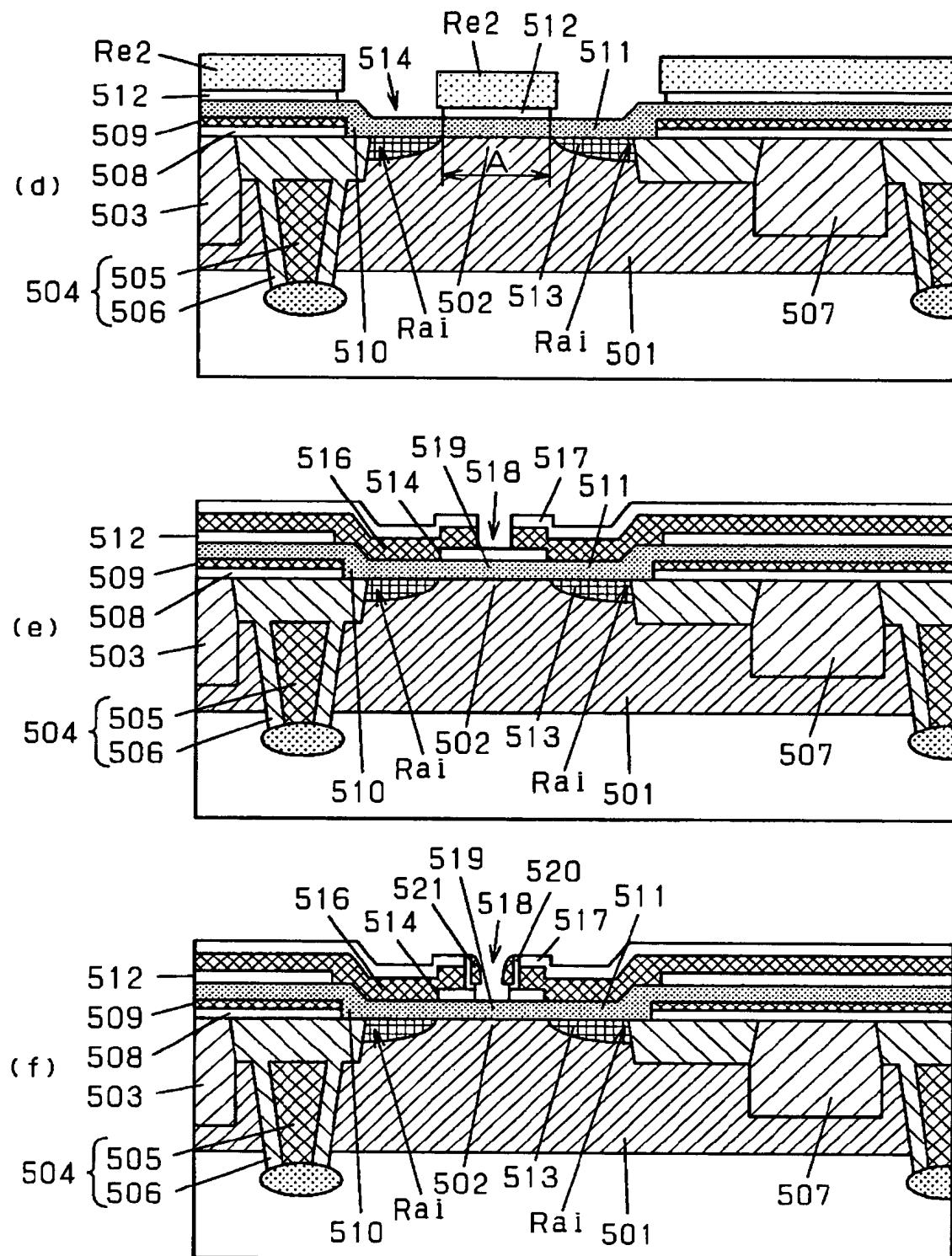
【図4】



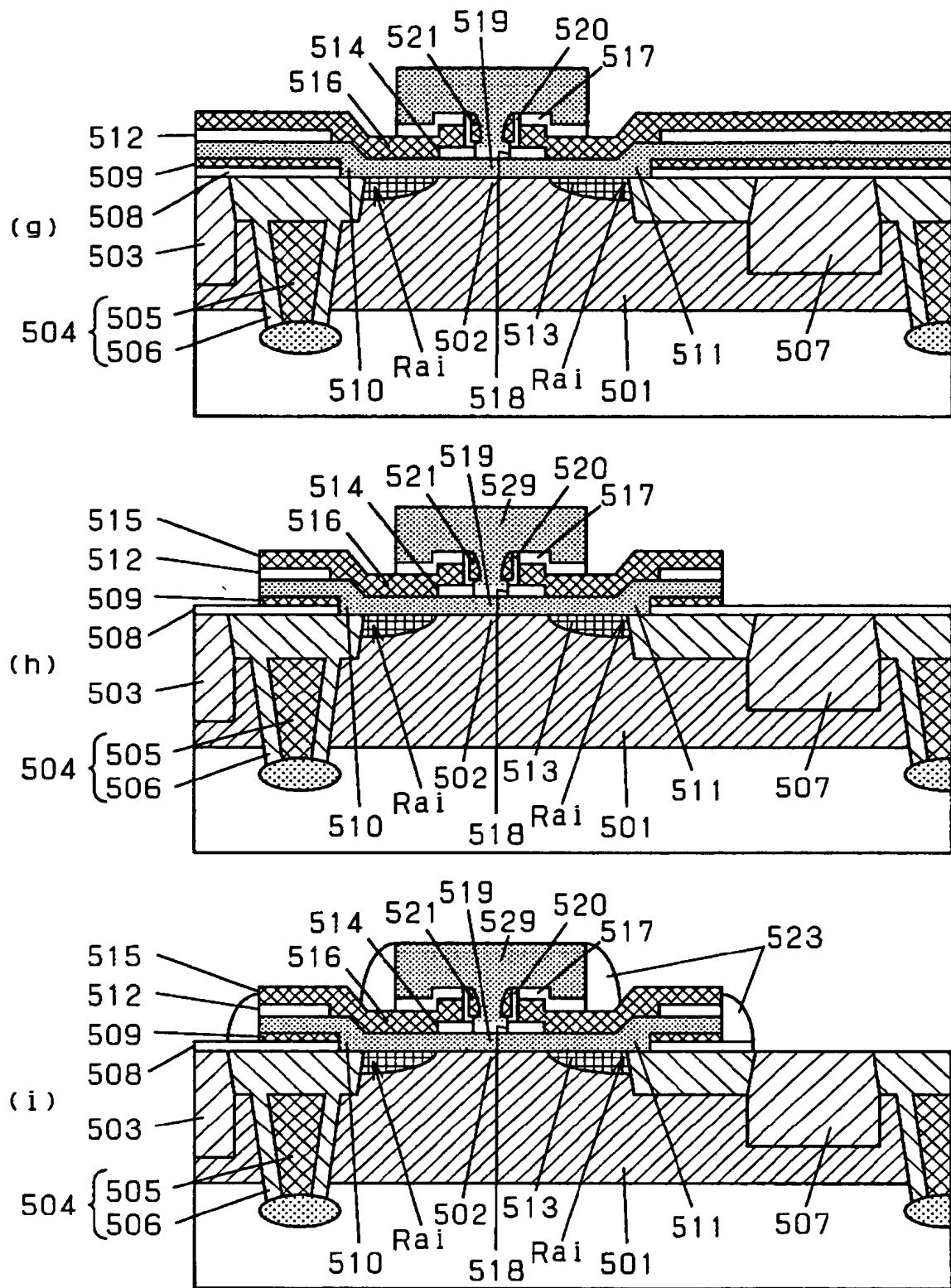
【図5】



【図6】

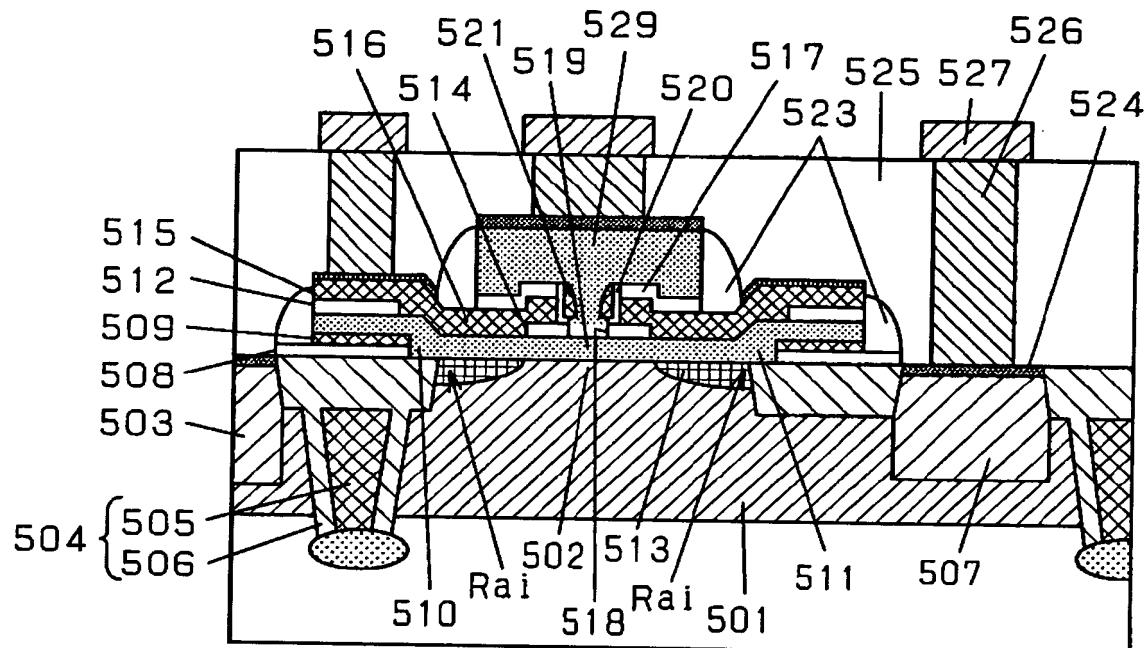


【図7】



【図8】

(j)



【書類名】 要約書

【要約】

【課題】 面積が小さくかつプロセス制御性のよい半導体装置の製造方法を提供する。

【解決手段】 ウエハ上に、エッチストップとなる膜厚30nmの第2の堆積酸化膜112、及び、P⁺ポリシリコン層200を順次形成した後、ポリシリコン層200の上に設けたレジストマスクRe2を用いて、P⁺ポリシリコン層200をドライエッティングによりパターニングする。そして、パターンニングされたP⁺ポリシリコン層200をマスクにしてウエットエッティングにより第2の堆積酸化膜112をパターンニングしてベース接合用開口部514を形成する。

【選択図】 図1

出願人履歴情報

識別番号 [000005821]

1. 変更年月日 1990年 8月28日

[変更理由] 新規登録

住 所 大阪府門真市大字門真1006番地

氏 名 松下電器産業株式会社